

**DERWENT-ACC-NO:** 2003-886802

**DERWENT-WEEK:** 200382

*COPYRIGHT 1999 DERWENT INFORMATION LTD*

**TITLE:** Microstrip line in pre-amplifier, has interdigital capacitor arranged parallel to chip capacitor which is connected to ground conductor

**PATENT-ASSIGNEE:** MITSUBISHI ELECTRIC CORP[MITQ]

**PRIORITY-DATA:** 2002JP-0104900 (April 8, 2002)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2003304105 A	October 24, 2003	N/A	008	H01P 003/08

**APPLICATION-DATA:**

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2003304105A	N/A	2002JP-0104900	April 8, 2002

**INT-CL (IPC):** H01P003/08

**ABSTRACTED-PUB-NO:** JP2003304105A

**BASIC-ABSTRACT:**

**NOVELTY** - The microstrip line has track (2) provided at one surface of a dielectric board (1) and a ground conductor (3) provided at another surface. An interdigital capacitor (5) is arranged parallel to a chip capacitor (4) connected to the ground conductor.

**DETAILED DESCRIPTION** - An INDEPENDENT CLAIM is also included for communication apparatus.

**USE** - For use in communication apparatus (claimed) such as an optical transmitter and receiver, a separation circuit, a driver and a pre-amplifier.

**ADVANTAGE** - Enables signal transmission with high speed transmission bit rate, thereby preventing interference of ground conductor potential from one electric circuit to another electric circuit.

**DESCRIPTION OF DRAWING(S)** - The figure shows the structure of the microstrip line.

dielectric board 1

track 2

ground conductor 3

chip capacitor 4

interdigital capacitor 5

**CHOSEN-** Dwg.1/5  
**DRAWING:**

**TITLE-TERMS:** MICROSTRIP LINE PRE AMPLIFY INTERDIGITAL CAPACITOR  
ARRANGE PARALLEL CHIP CAPACITOR CONNECT GROUND  
CONDUCTOR

**DERWENT-CLASS:** U14 U24 W02

**EPI-CODES:** U14-H03C2A; U24-G04M; W02-A01A3; W02-C04A4; W02-C04A9;

**SECONDARY-ACC-NO:**

**Non-CPI Secondary Accession Numbers:** N2003-708083

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-304105  
(P2003-304105A)

(43) 公開日 平成15年10月24日 (2003.10.24)

(51) Int.Cl.<sup>7</sup>  
H 0 1 P 3/08

識別記号

F I  
H 0 1 P 3/08

フィート\* (参考)  
5 J 0 1 4

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2002-104900 (P2002-104900)

(22) 出願日 平成14年4月8日 (2002.4.8)

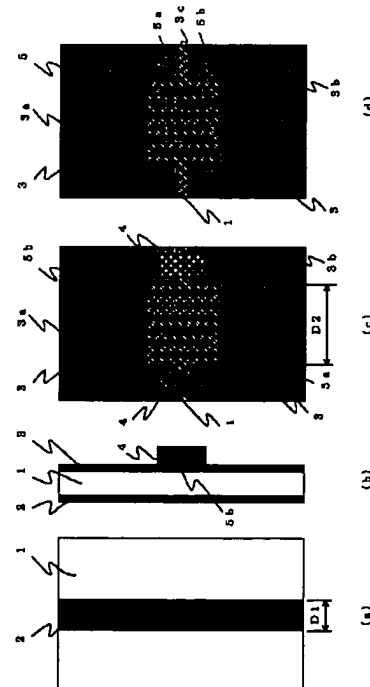
(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 徳森 信浩  
東京都千代田区大手町二丁目6番2号 三  
菱電機エンジニアリング株式会社内  
(72) 発明者 永瀬 徹  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74) 代理人 100102439  
弁理士 宮田 金雄 (外1名)  
Fターム (参考) 5J014 CA09

(54) 【発明の名称】 マイクロストリップ線路及び通信装置

(57) 【要約】

【課題】 地導体を伝播する電圧信号のDC成分を遮断するために、2つに分離した地導体間にチップコンデンサを設けた場合、高周波信号の通過損失特性を広帯域に渡って良好にすることができないという問題点があった。

【解決手段】 誘電体基板1と、誘電体基板1の一方の面に設けられた線路2と、誘電体基板1の他方の面に設けられた地導体3と、地導体3で形成されたインターディジタルキャパシタ5と、インターディジタルキャパシタ5と並列になるように地導体3に装荷されたチップキャパシタ4とを備えるようにする。



## 【特許請求の範囲】

【請求項1】 誘電体基板の一方の面に配設されたストリップ導体と、  
上記誘電体基板の他方の面に設けられ、インターディジタルキャパシタの形成された地導体とを備えたことを特徴とするマイクロストリップ線路。

【請求項2】 上記ストリップ導体は、電気信号の入力端側及び出力端側に上記電気信号を入出力するコネクタをそれぞれ備えたことを特徴とする請求項1記載のマイクロストリップ線路。

【請求項3】 上記インターディジタルキャパシタは、上記ストリップ導体に対して斜めになるように形成されたことを特徴とする請求項1記載の伝送線路。

【請求項4】 上記インターディジタルキャパシタは、上記ストリップ導体に対して斜めになるように形成され、かつ当該ストリップ導体に対して対称形に配置されたことを特徴とする請求項1記載のマイクロストリップ線路。

【請求項5】 上記インターディジタルキャパシタと並列になるように上記地導体に接続されたチップキャパシタを備えることを特徴とする請求項1から請求項4のいずれかに記載のマイクロストリップ線路。

【請求項6】 上記請求項1から請求項5のいずれかに記載のマイクロストリップ線路と、  
上記第1の地導体電位を有する第1の電気回路と、  
上記第1の地導体電位と異なる第2の地導体電位を有し、上記第1の電気回路と上記マイクロストリップ線路を介して電気的に接続される第2の電気回路とを備えることを特徴とする通信装置。

【請求項7】 上記第1の回路は、ドライブ用の電気信号を上記マイクロストリップ線路へ出力する多重回路ICであり、

上記第2の回路は、上記マイクロストリップ線路から入力される上記電気信号に従って、連続波光信号を強度変調するドライバであることを特徴とする請求項6記載の通信装置。

【請求項8】 上記第1の電気回路は、強度変調光信号を受光して、振幅変調電気信号に光-電気変換するプリアンプ内蔵フォトダイオードであり、  
上記第2の電気回路は、振幅変調電気信号を分離処理するデマルチプレクサであることを特徴とする請求項6記載の通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、異なる地導体電位をそれぞれ有する2つの電気回路の間を接続し、一方の電気回路から他方の電気回路への地導体電位の干渉を防止するマイクロストリップ線路に係るものであり、またこの発明は、マイクロストリップ線路を適用した通信装置に関するものである。

## 【0002】

【従来の技術】光送受信機などの通信装置内で使われる多重回路や分離回路、ドライバ、プリアンプは一般にIC化されている。これらのIC回路は異なるプロセスで作られることがある。例えば40Gbit/s光送受信機の場合、多重回路ICや分離回路ICのように集積度の高いものは、消費電力や歩留りの点で有利なSiGeプロセスが採用されることが多く、またドライバICやプリアンプICのように高速化を優先するものは、InPまたはGaAsプロセスが多い。

【0003】これらのIC回路はバイアス電源電圧が異なることが通常であって、地導体電位が異なる場合があり、このようなIC回路同士の接続においては地導体電位の干渉を避ける必要がある。このため、地導体電位が異なるIC回路間を、マイクロ波やミリ波等の高周波信号を伝送する信号伝送線路であるマイクロストリップ線路で接続する場合、マイクロストリップ線路を構成する地導体に、このIC回路間のDC（直流電圧）成分を遮断する機能を備えることが求められる。また、マイクロストリップ線路には、所定の伝送ビットレートを有する高周波信号を低通過損失で通過させることも要求される。

【0004】図5は、この種の従来のマイクロストリップ線路の構成例を示す図であり、図5(a)は上面図、図5(b)は側面図、図5(c)、(d)は下面図である。図5において、101は誘電体基板、102は誘電体基板101の一方の面に設けられた線路、103は誘電体基板101の他方の面に設けられた地導体である。104は地導体103に装荷されたチップキャパシタである。チップキャパシタ104を取り除いたときのマイクロストリップ線路を下面から見ると図5(d)のようになり、ギャップ（間隙）105が設けられている。

【0005】図5では地導体103にギャップ105を設け、このギャップ105の上からチップキャパシタ104をはんだ付等で装荷することにより、地導体電位の干渉を避ける構成にしている。チップキャパシタ104は、低周波領域から低通過損失で信号を通過させるため、地導体103への装荷に支障の出ない範囲で容量の大きなものが好ましく、0.1μF程度の容量を有するものが選ばれることが多い。また、ギャップ105によって地導体を伝播する電圧信号のDC成分が遮断されることになる。

【0006】もし、チップキャパシタ104が純粋に容量成分しか有していなければ、信号の周波数が高くなるほどチップキャパシタのインピーダンスも小さくなり、高周波信号の通過損失も小さくなる場所である。しかしながら、実際のチップキャパシタ104は容量成分と直列に誘導成分を必ず含んでいる。そのため、図5のマイクロストリップ線路は、信号周波数が高くなるほど誘導成分によるインピーダンスも増大し、通過損失が大き

くなくなってしまう。

【0007】それでも、2.5 Gbit/sまたは10 Gbit/s程度までの伝送ビットレートであれば、図5のマイクロストリップ線路でも実用的な通過損失に留めることが可能であった。しかしながら、40 Gbit/sのような高速の伝送ビットレートになってくると、およそ4 MHz～60 GHz程度の周波数帯域において低通過損失の伝送回路が必要となり、図5のマイクロストリップ線路では通過損失を十分小さくすることができなかった。

【0008】また、一般的に容量の大きなキャパシタほど高周波信号に対する通過損失が大きくなっていく傾向にあるため、キャパシタの容量を小さくして高周波信号に対する通過損失を低減しようとする、低周波信号に対する通過損失が増大してしまうという問題があった。

【0009】

【発明が解決しようとする課題】従来のマイクロストリップ線路は以上のように構成されているので、異なる地導体電位を持った複数の電気回路間を接続する際、地導体を伝播する電圧信号のDC成分を遮断する場合に、高速のビットレートに対応できないという問題点があった。

【0010】また、従来の通信装置は、地導体を伝播する電圧信号のDC成分を遮断する場合、通過損失特性を広帯域に渡って良好にすることができないという課題があった。

【0011】この発明は上記のような課題を解決するためになされたもので、異なる地導体電位を持った複数の電気回路を接続する際に、高速の伝送ビットレートで信号伝送することが可能なマイクロストリップ線路を提供することを目的とする。

【0012】また、この発明は、地導体を伝播するDC成分を遮断するとともに、通過損失特性を広帯域に渡って良好にすることが可能なマイクロストリップ線路を提供することを目的とする。

【0013】また、この発明は、異なる地導体電位を持った複数の電気回路で構成された場合にも、高速の伝送ビットレートで信号伝送することが可能な通信装置を構成することを目的とする。

【0014】

【課題を解決するための手段】この発明によるマイクロストリップ線路は、誘電体基板の一方の面に配設されたストリップ導体と、上記誘電体基板の他方の面に設けられ、インターディジタルキャパシタの形成された地導体とを備えたものである。

【0015】また、上記ストリップ導体は、電気信号の入力端側及び出力端側に上記電気信号を入出力するコネクタをそれぞれ備えても良い。

【0016】また、上記インターディジタルキャパシタ

は、上記ストリップ導体に対して斜めになるように形成されても良い。

【0017】また、上記インターディジタルキャパシタは、上記ストリップ導体に対して斜めになるように形成され、かつ当該ストリップ導体に対して対称形に配置されても良い。

【0018】また、上記インターディジタルキャパシタと並列になるように上記地導体に接続されたチップキャパシタを備えても良い。

10 【0019】この発明による通信装置は、上記発明によるマイクロストリップ線路と、上記第1の地導体電位を有する第1の電気回路と、上記第1の地導体電位と異なる第2の地導体電位を有し、上記第1の電気回路と上記マイクロストリップ線路を介して電気的に接続される第2の電気回路とを備えたものである。

【0020】また、上記第1の回路は、ドライブ用の電気信号を上記マイクロストリップ線路へ出力する多重回路ICであり、上記第2の回路は、上記マイクロストリップ線路から入力される上記電気信号に従って、連続波光信号を強度変調するドライバであっても良い。

【0021】また、上記第1の電気回路は、強度変調光信号を受光して、振幅変調電気信号に光-電気変換するプリアンプ内蔵フォトダイオードであり、上記第2の電気回路は、振幅変調電気信号を分離処理するデマルチプレクサであっても良い。

【0022】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。実施の形態1. 図1はこの発明の実施の形態1によるマイクロストリップ線路の構成例を示す図であり、図1(a)は上面図、図1(b)は側面図、図1(c)、(d)は下面図である。図1において1は誘電体基板、2は誘電体基板1の一方の面としての上面に設けられたストリップ導体、3は誘電体基板1の他方の面としての下面に設けられた地導体である。地導体3は、誘電体基板1の下面に設けられ、間隙部3c(図1中の右下がりの太線ハッチ部分)を挟んで互いに離間して対向配置された、薄膜状の導体3aと薄膜状の導体3bとから成る。4は地導体3の表面に装荷されたチップキャパシタ、5に示す点線で囲まれた部分はインターディジタルキャパシタである。間隙部3cでは、誘電体基板1の誘電体が露出している。

【0023】チップキャパシタ4を取り除いたときのマイクロストリップ線路を下面から見ると図1(d)のようになる。図に示すように導体3aは、ストリップ導体2の長手方向(信号伝送方向)に対して長手方向が平行となるように、互いに離間した複数のストリップ導体(フィンガー)を櫛歯状に並列に配置したフィンガー部5aを有する。また、導体3bは、ストリップ導体2の長手方向(信号伝送方向)に対して長手方向が平行となるように、互いに離間した複数のストリップ導体(フィ

ンガー)を歯状に並列に配置したフィンガー部5bを有する。フィンガー部5aのそれぞれのストリップ導体と、フィンガー部5bのそれぞれのストリップ導体とは、交互に隣接して配置される。また、間隙部3cにおけるインターデジタルキャパシタ5より外側の部分では、導体3aと導体3bが所定の間隔を有して離間し、さらに、この部分では、ストリップ導体2の長手方向に対して、導体3aと導体3bの間隙に沿う幅方向(図1における間隙の長手方向)が概ね垂直となるように配置されている。

【0024】チップキャパシタ4は、インターデジタルキャパシタ5と並列に接続されるように、一方の端子が導体3aに電氣的に接続され、他方の端子が導体3bに電氣的に接続されている。また、チップキャパシタ4は、間隙部3cにおけるインターデジタルキャパシタ5より外側の部分に設けられ、インターデジタルキャパシタ5を間に挟むように配置された2つのチップキャパシタから成る。

【0025】図1に示すように、地導体3で形成したインターデジタルキャパシタ5と、チップキャパシタ4とを、導体3aと導体3bに対して並列に接続されるようにチップキャパシタ4を装荷することにより、地導体を流れる電圧信号の高周波成分(高周波信号)を、主にインターデジタルキャパシタ5を介して通過させるとともに、地導体を流れる電圧信号の低周波成分(低周波信号)を、主にチップキャパシタ4を介して通過させる。これによって、広帯域に渡って通過損失特性を良好にするマイクロストリップ線路を実現することができる。

【0026】インターデジタルキャパシタ5の通過損失特性は、フィンガー数(フィンガー部5a、5bのそれぞれのストリップ導体の数)が多い方が良好となる。インターデジタルキャパシタを形成する寸法(インターデジタルキャパシタの幅D2)は、ストリップ導体2の線路幅(D1)の3倍程度まで有効となるためフィンガー数を多くでき、高周波数において広帯域に通過損失特性を良好にすることが可能となる。

【0027】続いて、この実施の形態1によるマイクロストリップ線路を用いた通信装置の構成の一例について説明する。図2はこの発明の実施の形態1による通信装置の構成例を示す図であり、図1のマイクロストリップ線路を用いて構成した40Gb/s光送信装置を表している。

【0028】図2において、10は連続波の光信号を出力するLD(レーザダイオード)、20は例えば40Gb/sパルス波の差動電気信号を出力する多重回路IC(第1の電気回路)、30はLD10からの光信号を例えば40Gb/s等の強度変調光信号に変調するドライバ内蔵E変調器(第2の電気回路)、40は図1に示した構造から成るマイクロストリップ線路、50

0はドライバ内蔵E変調器30、多重回路IC20とマイクロストリップ線路40とを接続するワイヤリボン等の接続部である。接続部50では、マイクロストリップ線路40のストリップ導体2a、2bとドライバ内蔵E変調器30の信号伝送用のストリップ導体31a、31bがワイヤリボン等で接続され、また、マイクロストリップ線路40の地導体3とドライバ内蔵E変調器30の地導体(図示せず)がワイヤリボン等で接続される。同様に、マイクロストリップ線路40のストリップ導体2a、2bと多重回路IC20の信号伝送用のストリップ導体21a、21bがワイヤリボン等で接続され、また、マイクロストリップ線路40の地導体3と多重回路IC20の地導体(図示せず)がワイヤリボン等で接続される。

【0029】マイクロストリップ線路40は、図1と同様インターデジタルキャパシタ5が設けられ、チップキャパシタ4の装荷された地導体3を有する。また、ストリップ導体2が2本並置されて差動ストリップ導体2aおよび2bを構成しており、地導体3を流れる電圧信号の通過特性は、図1に示したマイクロストリップ線路と同等の効果を有する。

【0030】次に動作について説明する。LD10から出力された信号は、ドライバ内蔵E変調器30へと入力される。一方多重回路IC20は、高速の差動電気信号を出力しており、マイクロストリップ線路40を介して差動電気信号をドライバ内蔵E変調器30へ与え、ドライバ内蔵E変調器30を駆動している。ドライバ内蔵E変調器30は、差動電気信号に従って光信号を変調し、高速の強度光変調信号として出力する。

【0031】ドライバ内蔵E変調器30と多重回路IC20とは、例えば前者がInP、GaAs、後者がSiGeなどのように、そのプロセスの違いによってバイアス電源電圧や地導体電位に差が生じている。これらの異なる地導体電位が互いに干渉しないように、ドライバ内蔵E変調器30と多重回路IC20との間に図1に示したマイクロストリップ線路の構造を用いて、地導体のDC成分を遮断している。多重回路IC20からの差動電気信号はマイクロストリップ線路40を介してドライバ内蔵E変調器30へ与えられている。前述したように、この実施の形態1によるマイクロストリップ線路40は、低周波から高周波まで良好な通過損失特性を有しているので、40Gb/sという広帯域の差動電気信号に十分対応することができる。

【0032】なお、図2では、ドライバ内蔵E変調器30、多重回路IC20とマイクロストリップ線路40と接続部50によって接続して使用しているが、この実施の形態1のマイクロストリップ線路および通信装置はこれに限定されるものではない。例えば、約20GHzまで対応するSMAコネクタ(登録商標)や、約40GHzまで対応するKコネクタ(登録商標)や、約65G

Hzまで対応するVコネクタ（登録商標）などの高周波用のコネクタを、マイクロストリップ線路40のストリップ導体2の入出力両端にそれぞれ接続して使用することも可能である。即ち、高周波コネクタをマイクロストリップ線路40の入出力端にそれぞれ接続することで、同一タイプのコネクタがそれぞれ設けられた第1の電気回路、および第2の電気回路と、マイクロストリップ線路40とを、簡単に接続できるようになり、マイクロストリップ線路40の汎用性を高くすることが可能になる。

【0033】また、図2では、第1の電気回路として多重回路IC20、第2の電気回路としてドライバ内蔵EA変調器30をもちいているが、マイクロストリップ線路40を介して接続される第1の電気回路、第2の電気回路はこれらに限定されるものではない。例えば、高速の強度光変調信号を受光して高速の振幅変調電気信号に変換するプリアンプ内蔵PD（フォトダイオード）と、振幅変調電気信号を分離処理するDEMUX（デマルチプレクサ）との間をマイクロストリップ線路40で接続した光受信機としての通信装置等のように、地導体電位に違いを有する2種類の電気回路であれば良い。ここで第1の電気回路と第2の電気回路とその他の接続例も以下（A）～（C）に挙げておく。

【0034】（A）LDまたはPD等の光素子と、この光素子用のプリアンプまたはドライバとの間をマイクロストリップ線路40で接続したLD/PDモジュールとしての通信装置。

（B）LDまたはPD等の光素子と、この光素子用のプリアンプまたはドライバとをともに備えたLD/PDモジュール（上記（A）のLD/PDモジュールも含む）と、MUX（マルチプレクサ）、DEMUX等のIC回路との間をマイクロストリップ線路40で接続した光送受信機としての通信装置。

（C）LDまたはPD等の光素子と、この光素子用のプリアンプまたはドライバとをともに備えたLD/PDモジュール（上記（A）のLD/PDモジュールも含む）同士の間をマイクロストリップ線路40で接続した光送／受信機としての通信装置。

【0035】さらに、以上の説明では、図1に示したマイクロストリップ線路40を用いているが、この実施の形態1の通信装置はこれに限定されるものではなく、後述する実施の形態2、3のマイクロストリップ線路を適用することももちろん可能である。

【0036】以上のように、この実施の形態1によれば、インターデジタルキャパシタ5の形成された地導体3を有するマイクロストリップ線路を設けたことにより、異なる地導体電位を持った複数の電気回路間を接続した場合にも、高速の伝送ビットレートで信号伝送することができるという効果が得られる。

【0037】また、この実施の形態1によれば、誘電体

基板1の一方の面に実装され、電気信号を通過するストリップ導体2と、誘電体基板1の他方の面に設けられた地導体3と、地導体3上に設けられ地導体3で形成されたインターデジタルキャパシタ5と、インターデジタルキャパシタ5と並列になるように地導体3に接続されたチップキャパシタ4とを備えるようにしたので、通過損失特性を広帯域に渡って良好にすることができるといふ効果が得られる。

【0038】また、この実施の形態1によれば、ストリップ導体2は、電気信号の入出力両端に電気信号を入力する高周波用のコネクタをそれぞれ備えるようにしたので、汎用性の高いマイクロストリップ線路を提供できるという効果が得られる。

【0039】さらに、この実施の形態1によれば、マイクロストリップ線路40と、第1の地導体電位を有する第1の電気回路と、第1の地導体電位と異なる第2の地導体電位を有し、第1の電気回路とマイクロストリップ線路40を介して電気的に接続される第2の電気回路とを備えるようにしたので異なる地導体電位を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

【0040】さらに、この実施の形態1によれば、ドライバ用の電気信号をマイクロストリップ線路40へ出力する多重回路IC20を第1の電気回路として備えるとともに、マイクロストリップ線路40から入力される上記電気信号に従って、LD10からの連続波光信号を強度変調光信号として出力するドライバ内蔵EA変調器30を第2の電気回路として備えるようにしたので異なる地導体電位を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

【0041】さらに、この実施の形態1によれば、強度変調光信号を受光して振幅変調電気信号に光－電気変換するプリアンプ内蔵フォトダイオードを第1の電気回路として備えるとともに、振幅変調電気信号を分離処理するデマルチプレクサを第2の電気回路として備えるようにしたので異なる地導体電位を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

【0042】なお、この実施の形態1に記載したマイクロストリップ線路は、ストリップ導体と地導体が形成され、マイクロ波帯域やミリ波帯域等の高周波信号を伝送するものであればこれに限ったものではなく、例えば、対称形ストリップ線路や、結合形ストリップ線路等であっても良い。また、信号伝送用のストリップ導体を同一面上で挟むように、その両側にグランド用のストリップ導体が設けられ、このグランド用のストリップ導体によって地導体の形成されたコプレーナ線路が構成されていても良い。勿論、コプレーナ線路の場合は、グランド用のストリップ導体が、上述したインターデジタルキャパシタとチップコンデンサを並列に接続した構造で接続

されていることが望ましい。

【0043】実施の形態2. ストリップ導体2の線路幅の3倍程度の幅のインターデジタルキャパシタ5ではその容量が不足する場合、インターデジタルキャパシタの電極幅を細くして電極数を増加させ容量を増やすことが考えられる。しかしながら、エッチング精度や短絡の危険性等の理由により電極幅の加工には限界があるため、電極幅の細さにも限界が生じる。この実施の形態2では、電極幅を細くせずに十分な容量を確保する手法について説明する。

【0044】図3はこの発明の実施の形態2によるマイクロストリップ線路の構成例を示す図であり、図3(a)は上面図、図3(b)は側面図、図3(c)、(d)は下面図である。図1と同一符号は実施の形態1と同一または相当する構成を示している。図3において、インターデジタルキャパシタ6はストリップ導体2に対して斜めに形成されている。図中の水平ハッチ3dは、誘電体基板1の誘電体が露出した間隙部を示す。

【0045】使用するストリップ導体2の幅が細く、ストリップ導体2の3倍程度の幅のインターデジタルキャパシタ5(図1)では容量が不十分である場合には、図3(c)、(d)に示すように、ストリップ導体2の3倍程度の幅よりも幅広のインターデジタルキャパシタ6をマイクロストリップ線路に用いることも有効である。

【0046】このインターデジタルキャパシタ6をストリップ導体2に対して斜めに形成することにより、ストリップ導体2の幅D1に対して3倍程度の幅(D2)であっても、電極を形成する幅(D3)をそれよりも広く取る(D3>D2)ことができ、これによって実施の形態1のインターデジタルキャパシタ5と比べて電極数をより増加させることができ、したがってインターデジタルキャパシタ5の容量をより大きく取ることができる。

【0047】以上のように、この実施の形態2によれば、ストリップ導体2の3倍程度の幅よりも幅広のインターデジタルキャパシタ6を備えるようにしたので、インターデジタルキャパシタ6の容量を十分大きく持たせることができるという効果が得られる。

【0048】実施の形態3. 図4はこの発明の実施の形態3によるマイクロストリップ線路の構成例を示す図であり、図3(a)は上面図、図3(b)は側面図、図3(c)、(d)は下面図である。図1と同一符号は実施の形態1と同一または相当する構成を示している。図4において、インターデジタルキャパシタ7はストリップ導体2に対して斜めになるように、V字形状に2つのインターデジタルキャパシタ7aと7bが形成され、かつV字形状の頂点がストリップ導体2の直下に設けられて、インターデジタルキャパシタ7がストリップ導体2に対して対称を成すように配置される。図中の水平

ハッチ3eは、誘電体基板1の誘電体が露出した間隙部を示す。

【0049】このインターデジタルキャパシタ7をストリップ導体2に対して斜めに形成し、かつストリップ導体2に対して対称に配置することにより、電磁界分布の乱れを相殺し、またストリップ導体2の3倍程度の幅(D2)の範囲で、インターデジタルキャパシタにおける電極を形成する幅(D4)を広く取る(D4>D2とする)ことができ、電極数を増加させることができる。

【0050】以上のように、この実施の形態3によれば、ストリップ導体2の3倍程度の幅よりも幅広のインターデジタルキャパシタ7を備えるようにしたので、インターデジタルキャパシタ7の容量を十分大きく持たせることができるという効果が得られる。

【0051】また、この実施の形態3によれば、インターデジタルキャパシタ7をストリップ導体2に対して斜めに形成し、かつ線路に対して対称に配置するようにしたので、電磁界分布の乱れを抑制することも可能となる。

【0052】

【発明の効果】以上のように、この発明のマイクロストリップ線路によれば、インターデジタルキャパシタの形成された地導体を設けることにより、異なる地導体電位を持った複数の電気回路間を接続した場合にも、高速の伝送ビットレートで信号伝送することができるという効果が得られる。

【0053】また、インターデジタルキャパシタの形成された地導体を設けるとともに、インターデジタルキャパシタと並列になるようにチップキャパシタを接続することにより、通過損失特性を広帯域に渡って良好にすることができるという効果が得られる。

【0054】さらに、この発明の通信装置によれば、異なる地導体電位を持った複数の電気回路で構成した場合にも、高速の伝送ビットレートで信号伝送することができるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるマイクロストリップ線路の構成例を示す図である。

【図2】 この発明の実施の形態1による通信装置の構成例を示す図である。

【図3】 この発明の実施の形態2によるマイクロストリップ線路の構成例を示す図である。

【図4】 この発明の実施の形態3によるマイクロストリップ線路の構成例を示す図である。

【図5】 従来のマイクロストリップ線路の構成例を示す図である。

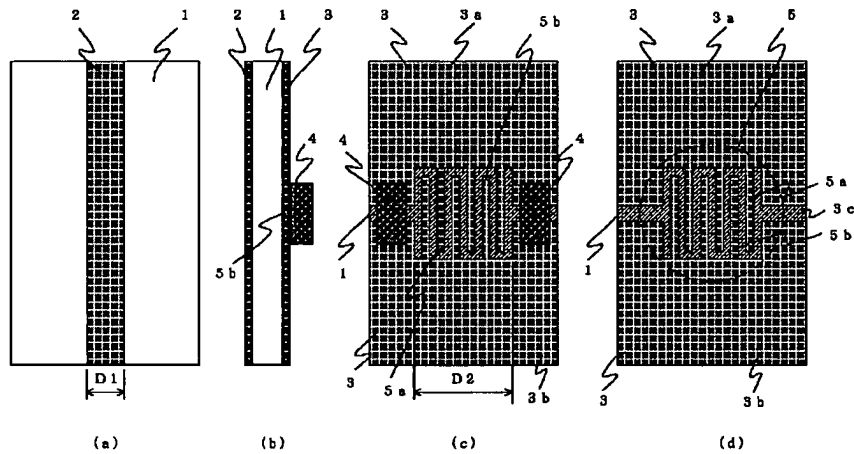
【符号の説明】

1 誘電体基板、2 線路、3 地導体、4 チップキャパシタ、5, 6, 7 インターデジタルキャパシタ、

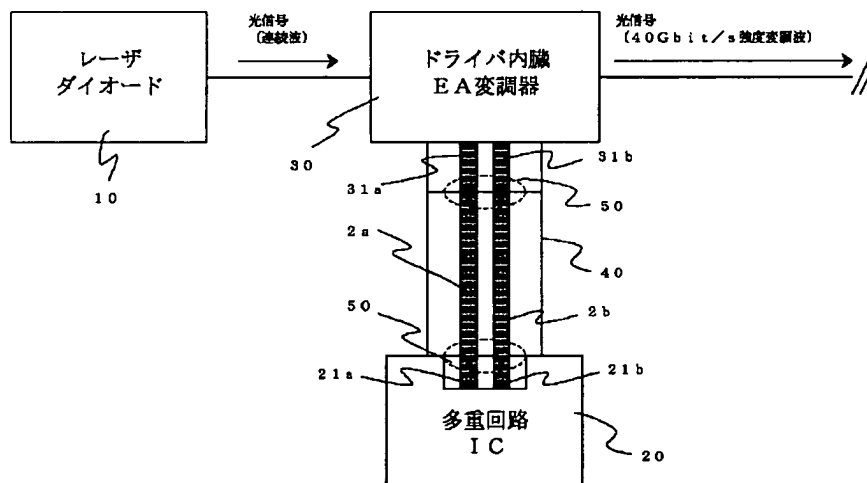


10 LD (レーザダイオード)、20 多重回路IC (第2の電気回路)、40 マイクロストリップ線路、  
 (第1の電気回路)、30 ドライバ内蔵EA変調器 50 接続部。

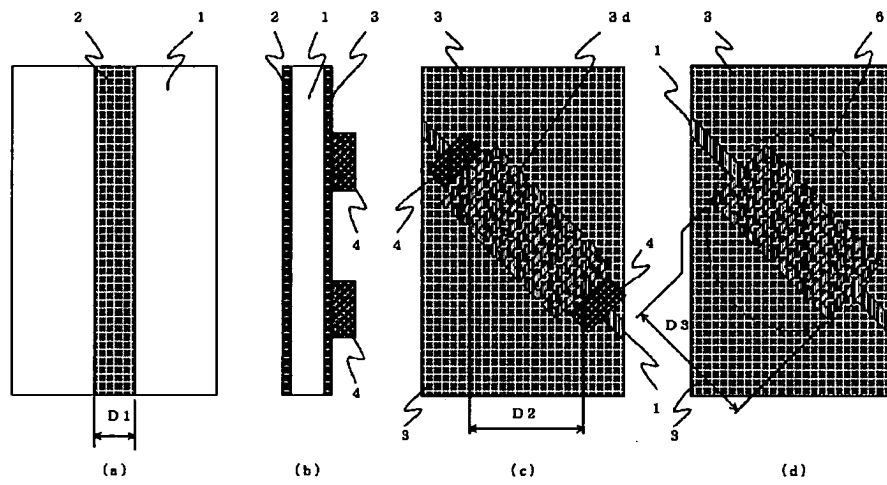
【図1】



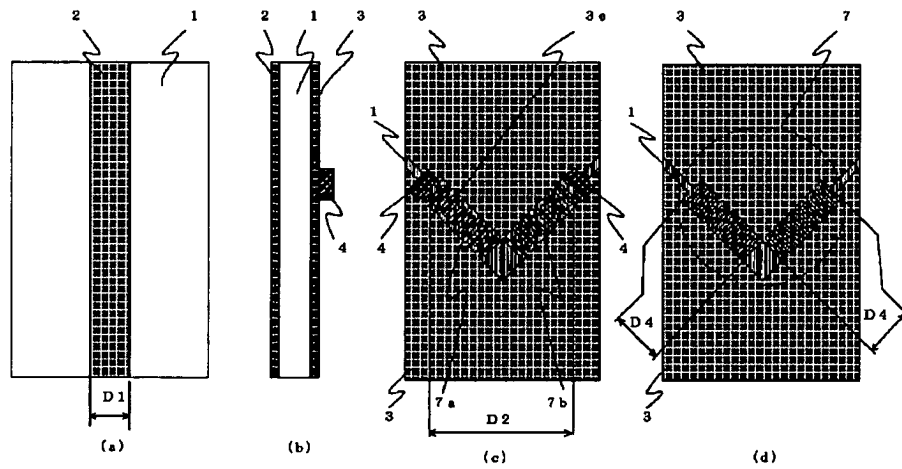
【図2】



【図3】



【図4】



【図5】

